

فهرست مطالب

- ❑ مقدمه
- ❑ معرفی ترانزیستور BJT
- ❑ وضعیت های عملکردی BJT
- ❑ مدل سیگنال بزرگ ابرز-مول (Ebres-Moll)
- ❑ مدارهای منطقی مبتنی بر ترانزیستور BJT - منطق RTL
- ❑ منطق TTL
- ❑ منطق ECL



ساختار فیزیکی و نواحی تشکیل دهنده BJT

ساختار فیزیکی:

شکل ۶-۲: سطح مقطع ترانزیستور دو قطبی npn

انواع BJT ها

انواع ترانزیستور BJT:

نماد مداری ترانزیستور NPN

نماد مداری ترانزیستور PNP

ساختار ساده شدهی ترانزیستور NPN

ساختار ساده شدهی ترانزیستور PNP

وضعیت عملکردی ترانزیستور پیوندی دو قطبی:

وضعیت عملکردی ترانزیستور	بایاس پیوند بیس-امیتر	بایاس پیوند بیس-کلکتور
قطع	معکوس	معکوس
فعال	معکوس	مستقیم
فعال معکوس	مستقیم	معکوس
اشباع	مستقیم	مستقیم

وضعیت عملکردی ترانزیستور	بایاس پیوند بیس-امیتر	بایاس پیوند بیس-کلکتور
قطع	معکوس	معکوس
فعال	معکوس	مستقیم
فعال معکوس	مستقیم	معکوس
اشباع	مستقیم	مستقیم

وضعیت عملکردی ترانزیستور پیوندی دو قطبی:

وضعیت عملکردی ترانزیستور پیوندی دو قطبی:

وضعیت عملکردی ترانزیستور	بایاس پیوند بیس-امیتر	بایاس پیوند بیس-کلکتور
قطع	معکوس	معکوس
فعال	معکوس	مستقیم
فعال معکوس	مستقیم	معکوس
اشباع	مستقیم	مستقیم

ترانزیستور در ناحیهی عملکردی فعال:

$$I_E = I_C + I_B$$

$$I_C = I_S e^{\frac{V_{BE}}{V_T}}$$

I_S : جریان اشباع معکوس پیوند

$$I_C = \alpha I_E$$

V_T : ولتاژ حرارتی

$$I_C = \beta I_B$$

β : که معمولاً در حدود ۱۰۰-۲۰۰ است.

α : که معمولاً کمتر از ۱ و نزدیک به آن است.

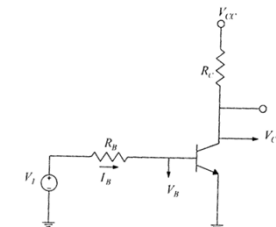
$$I_E = I_C + I_B = \beta I_B + I_B = (1 + \beta) I_B$$

$$I_E = I_C + I_B = I_C + \frac{1}{\beta} I_C = \frac{\beta + 1}{\beta} I_C \Rightarrow I_C = \frac{\beta}{\beta + 1} I_E \Rightarrow \alpha = \frac{\beta}{\beta + 1}$$

$$\Rightarrow \alpha\beta + \alpha = \beta \Rightarrow \alpha = \beta(1 - \alpha) \Rightarrow \beta = \frac{\alpha}{1 - \alpha}$$

مثال: ترانزیستور در نواحی عملکردی مختلف

مدار شکل زیر را در نظر بگیرید. فرض کنید ولتاژ ورودی را از صفر ولت به آرامی افزایش می‌دهیم. ناحیهی عملکردی ترانزیستور را به ازای مقادیر مختلف ولتاژ ورودی تعیین نمایید.



شکل ۶-۳: مدار یک ترانزیستور دوقطب در حالت فعال

ترانزیستور در ناحیهی عملکردی اشباع:

$$I_E = I_C + I_B$$

$$I_C < \beta I_B$$

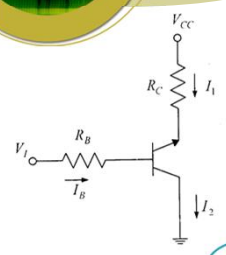
$$|V_{CE}| \cong 0.2 = V_{CE,sat}$$

ترانزیستور در ناحیهی عملکردی قطع

$$I_B = 0$$


$$I_C = 0$$

ترانزیستور در ناحیه‌ی عملکردی فعال معکوس:

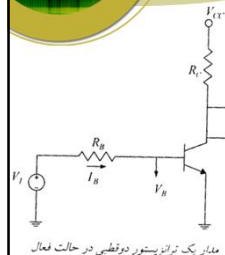


از آنجا که ملاحظات خاصی در ساخت نواحی کلکتور و امیتر ترانزیستور لحاظ می‌گردد عملکرد ترانزیستور در ناحیه‌ی عملکردی فعال معکوس مطلوب نبوده و کاربردی ندارد.

شکل ۴-۸: مدار یک ترانزیستور در وضعیت فعال معکوس



مثال: تحلیل عملکرد مدار ترانزیستوری



مدار شکل زیر را در نظر بگیرید. فرض کنید ولتاژ ورودی را از صفر ولت به آرامی افزایش می‌دهیم. ناحیه‌ی عملکرد مدار را به ازای مقادیر مختلف ولتاژ ورودی تعیین نمایید.

$R_C = 1k\Omega$
 $R_B = 10k\Omega$ $V_{CC} = 5\text{ volt}$ $\beta = 100$

ترانزیستور قطع است. \rightarrow for $V_i < 0.7\text{ volt}$

ترانزیستور روشن و در ناحیه‌ی فعال است. \rightarrow for $V_i > 0.7\text{ volt}$

شکل ۴-۹: مدار یک ترانزیستور در وضعیت فعال

با افزایش ولتاژ ورودی، ترانزیستور به ناحیه‌ی اشباع نزدیک می‌شود. در مرز ناحیه‌ی اشباع داریم:

$$I_C = \beta I_B, \quad V_{CE} = V_{CE,sat} \rightarrow V_{CE} = V_{CE,sat} = 0.2\text{ volt} \rightarrow I_C = \frac{5 - 0.2}{1} = 4.8\text{ mA}$$

$$I_B = \frac{I_C}{\beta} = \frac{4.8}{100} = 0.048\text{ mA} \rightarrow V_i = R_B I_B + V_{BE} = 10 \times 0.048 + 0.7 = 1.18\text{ volt}$$

سوئیچینگ ترانزیستور



توجه: مدار به نحوی طرح شده است که با سطح بالای ولتاژ ورودی، ترانزیستور اشباع شود.

زمان تاخیر (t_d): زمان لازم برای تامین حامل‌های تخلیه‌شده‌ی پیوندگاه و روشن شدن ترانزیستور

زمان صعود (t_r): زمان لازم برای ذخیره شدن حامل‌های اقلیت اضافی در پیوندگاه BE و افزایش جریان کلکتور تا اشباع شدن ترانزیستور.

زمان ذخیره (t_s): زمان لازم جهت تخلیه‌ی حامل‌های اقلیت اضافی پیوندگاه BE.

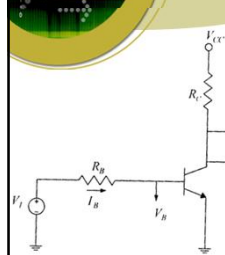
زمان نزول (t_f): زمان لازم جهت کاهش جریان کلکتور از ۹۰٪ به ۱۰٪ جریان اشباع.

زمان روشن شدن (t_{on}): زمان لازم جهت روشن شدن ترانزیستور و رسیدن جریان به ۵۰٪ مقدار جریان اشباع.

زمان خاموش شدن (t_{off}): زمان لازم جهت خاموش شدن ترانزیستور و رسیدن جریان به ۵۰٪ مقدار جریان اشباع.



شکل ۴-۱۰: زمان‌های سوئیچینگ BJT در مدار معکوس کشنده ساده



$R_C = 1k\Omega$
 $R_B = 10k\Omega$
 $V_{CC} = 5\text{ volt}$
 $\beta = 100$

اگر ولتاژ ورودی از این مقدار بیشتر شود، ترانزیستور وارد ناحیه‌ی اشباع می‌شود و

$V_{CE} = V_{CE,sat} = 0.2\text{ volt}$, $I_C < \beta I_B$

مثلاً برای ولتاژ ورودی ۵ ولت:

$$V_i = 5\text{ volt}$$

$$I_B = \frac{V_i - V_{BE}}{R_B} = \frac{5 - 0.7}{10} = 0.43\text{ mA}$$

$$V_{CE} = V_{CE,sat} = 0.2\text{ volt}$$

$$I_C = \frac{V_{CC} - V_{CE,sat}}{R_C} = \frac{5 - 0.2}{1} = 4.8\text{ mA} \rightarrow I_C < \beta I_B$$

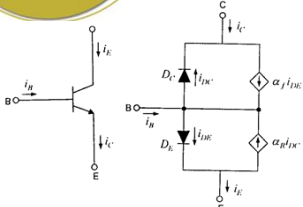
شکل ۴-۱۱: مدار یک ترانزیستور در وضعیت فعال

فهرست مطالب

- مقدمه
- معرفی ترانزیستور BJT
- وضعیت های عملکردی BJT
- مدل سیگنال بزرگ ابرز-مول (Ebres-Moll)
- مدارهای منطقی مبتنی بر ترانزیستور BJT - منطق RTL
- منطق TTL
- منطق ECL

معرفی مدل سیگنال بزرگ ترانزیستور

مدل ابرز-مول (Ebres-Moll):



$$i_{DE} = I_{SE} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right)$$

$$i_{DC} = I_{SC} \left(e^{\frac{V_{BC}}{V_T}} - 1 \right)$$

I_{SE} : جریان اشباع معکوس دیود بیس-امیتر
 I_{SC} : جریان اشباع معکوس دیود بیس-کلکتور
 چون معمولا سطح پیوند BC بزرگتر از پیوند BE است:
 I_{SC} بزرگتر از I_{SE} است (۲ تا ۵۰ برابر).
 α_F نزدیک به یک و α_R در محدوده ۰/۲ تا ۰/۵ است.

I_S : جریان اشباع ترانزیستور

$$\alpha_F I_{SE} = \alpha_R I_{SC} = I_S$$

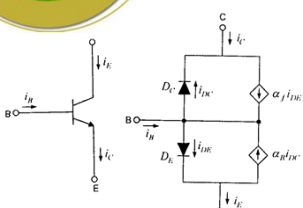
$$\alpha_F \cong 1 \Rightarrow I_{SE} \cong I_S$$

منطق های مبتنی بر ترانزیستورهای دوقطبی - منطق RTL

منطق های مبتنی بر ترانزیستورهای دوقطبی - منطق RTL

- معکوس کننده پایه
- گیت NOR
- فلیپ فلاپ SR
- گیت NAND
- محاسبه ی ظرفیت خروجی
- محاسبه ی توان مصرفی

جریان پایه های ترانزیستور در مدل ابرز-مول:



$$i_E = i_{DE} - \alpha_R i_{DC}$$

$$i_C = -i_{DC} + \alpha_F i_{DE}$$

$$i_B = i_E - i_C = (i_{DE} + \alpha_R i_{DC}) - (-i_{DC} + \alpha_F i_{DE})$$

$$= (1 - \alpha_F) i_{DE} + (1 - \alpha_R) i_{DC}$$

یادآوری:

$$i_{DE} = I_{SE} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right), \quad i_{DC} = I_{SC} \left(e^{\frac{V_{BC}}{V_T}} - 1 \right)$$

$$I_{SE} = \frac{I_S}{\alpha_F}, \quad I_{SC} = \frac{I_S}{\alpha_R} \quad \beta_F = \frac{\alpha_F}{1 - \alpha_F}, \quad \beta_R = \frac{\alpha_R}{1 - \alpha_R}$$

$$i_E = \frac{I_S}{\alpha_F} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) - I_S \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \quad i_C = I_S \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) - \frac{I_S}{\alpha_R} \left(e^{\frac{V_{BC}}{V_T}} - 1 \right)$$

$$i_B = \frac{1 - \alpha_F}{\alpha_F} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) + \frac{1 - \alpha_R}{\alpha_R} \left(e^{\frac{V_{BC}}{V_T}} - 1 \right) \Rightarrow i_B = \frac{I_S}{\beta_F} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) + \frac{I_S}{\beta_R} \left(e^{\frac{V_{BC}}{V_T}} - 1 \right)$$

بررسی محدودیت ظرفیت ورودی و ظرفیت خروجی گیت NOR منطق RTL

ظرفیت ورودی:

با افزایش ترانزیستورهای ورودی می توان ظرفیت ورودی گیت NOR خانوادهی RTL را افزایش داد.

ظرفیت خروجی:

در حالت بی باری، ولتاژ خروجی برابر V_{CC} (۳ ولت) است.

با در نظر گرفتن گیت مشابهی به عنوان بار در خروجی، ولتاژ خروجی به میزان چشمگیری (تا حدود ۱ ولت) کاهش می یابد.

با افزایش گیت های مشابه در خروجی، کاهش ولتاژ بیشتر خواهد شد.

بنابراین، ظرفیت خروجی این گیت دارای محدودیت جدی است.

حاشیهی نویز RTL به نسبت کم و توان تلفاتی آن زیاد است.

معکوس کننده ی پایه

For $V_I < V_{IL}$, $Q: off$ $\Rightarrow V_O = V_{CC}$

For $V_I > V_{IH}$, $Q: on(saturation)$ $\Rightarrow V_O = V_{CE,sat} = 0.2$

لج SR خانوادهی RTL:

S	R	Q	QN
0	0	last Q	last QN
0	1	0	1
1	0	1	0
1	1	0	0

گیت NOR خانوادهی RTL

A	B	V_O
0	0	1
0	1	0
1	0	0
1	1	0

$V_O = \overline{A + B}$

در حالت بی باری $\Rightarrow V_O = V_{CC}$

For $A \& B: low \Rightarrow Q_A \& Q_B: off \Rightarrow V_O = V_{CC}$

For $\begin{cases} A: low \\ B: high \end{cases} \Rightarrow \begin{cases} Q_A: off \\ Q_B: on(saturation) \end{cases} \Rightarrow V_O = V_{CE,sat}$

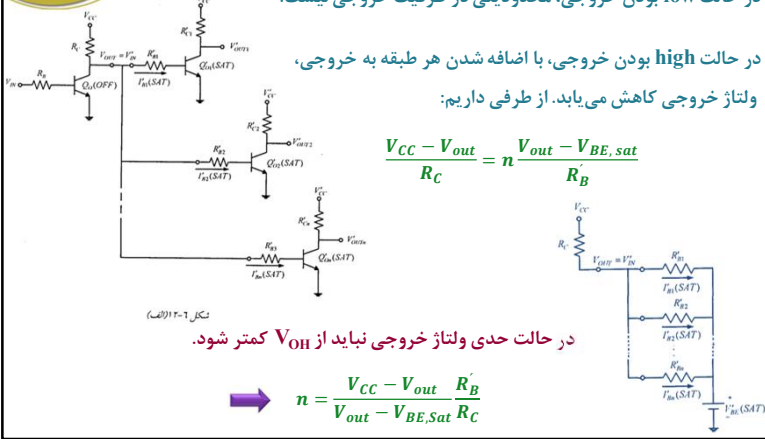
For $\begin{cases} A: high \\ B: low \end{cases} \Rightarrow \begin{cases} Q_A: on(saturation) \\ Q_B: off \end{cases} \Rightarrow V_O = V_{CE,sat}$

For $A \& B: high \Rightarrow Q_A \& Q_B: on(saturation) \Rightarrow V_O = V_{CE,sat}$

محاسبه‌ی ظرفیت خروجی گیت RTL:

در حالت low بودن خروجی، محدودیتی در ظرفیت خروجی نیست.
در حالت high بودن خروجی، با اضافه شدن هر طبقه به خروجی، ولتاژ خروجی کاهش می‌یابد. از طرفی داریم:

$$\frac{V_{CC} - V_{out}}{R_C} = n \frac{V_{out} - V_{BE,sat}}{R_B}$$



شکل ۱۲-۶ (الف)

در حالت حدی ولتاژ خروجی نباید از V_{OH} کمتر شود.

$$\rightarrow n = \frac{V_{CC} - V_{out}}{V_{out} - V_{BE,Sat}} \frac{R_B}{R_C}$$

گیت NAND خانواده‌ی RTL:

اگر یک یا چند ورودی low باشند ترانزیستور(های) متناظر خاموش بوده و

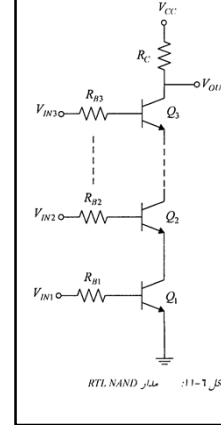
$$V_{out} = V_{CC}$$

اگر تمام ورودی‌ها high باشند تمام ترانزیستورها روشن و اشباع بوده و

$$V_{out} = nV_{CE,sat}$$

که n تعداد ترانزیستورها است.

گیت NAND منطق RTL برخلاف گیت NOR دارای محدودیت در ظرفیت ورودی نیز است.



شکل ۱۱-۶: مدار NAND RTL



مثال:

برای گیت RTL با پارامترهای داده شده، حداکثر ظرفیت خروجی را تعیین نمایید.

$$V_{CC} = 5V \quad R_B = 10k \quad R_C = 1k$$

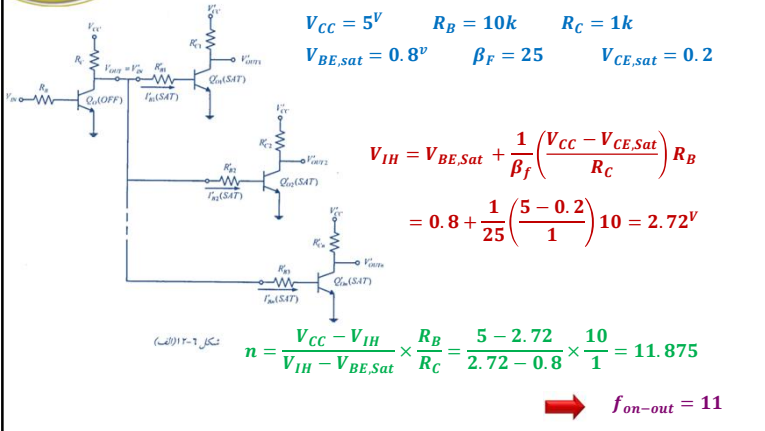
$$V_{BE,sat} = 0.8V \quad \beta_F = 25 \quad V_{CE,sat} = 0.2$$

$$V_{IH} = V_{BE,sat} + \frac{1}{\beta_F} \left(\frac{V_{CC} - V_{CE,sat}}{R_C} \right) R_B$$

$$= 0.8 + \frac{1}{25} \left(\frac{5 - 0.2}{1} \right) 10 = 2.72V$$

$$n = \frac{V_{CC} - V_{IH}}{V_{IH} - V_{BE,sat}} \times \frac{R_B}{R_C} = \frac{5 - 2.72}{2.72 - 0.8} \times \frac{10}{1} = 11.875$$

$$\rightarrow f_{on-out} = 11$$



شکل ۱۲-۶ (ب)

مثال:

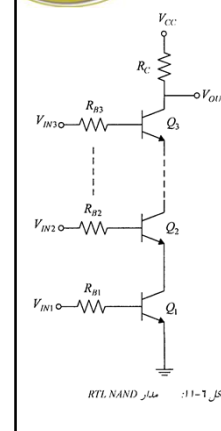
برای گیت NAND خانواده‌ی RTL با فرض $V_{BE} = 0.7 \text{ volt}$ و $V_{CE,sat} = 0.17 \text{ volt}$

حداکثر تعداد ورودی‌های گیت را تعیین نمایید.

$$n \cdot V_{CE,sat} < V_{BE}$$

$$\rightarrow n < \frac{V_{BE}}{V_{CE,sat}} = \frac{0.7}{0.17} = 4.12$$

$$\rightarrow n = 4$$



شکل ۱۱-۶: مدار NAND RTL

گیت NAND دو ورودی منطق DTL

فرض کنید ورودی B باز باشد در این صورت.

$A = \text{low} \Rightarrow D_1: \text{on} \Rightarrow V_X = V_{IL} + V_{D,on} \Rightarrow D_3, D_4: \text{on} \Rightarrow Q: \text{off} \Rightarrow V_Y = V_{CC}$
 $A = \text{high} \Rightarrow D_1: \text{off} \Rightarrow Q: \text{on \& saturation} \Rightarrow V_O = V_{CE,sat}$

تحلیل مدار به ازای تغییرات ولتاژ ورودی از صفر تا V_{CC}
 تحلیل مدار با دو ورودی A و B

محاسبه ی توان مصرفی در منطق RTL: P_{CC}

در حالت خروجی بدون بار:

$$I_{OH} = 0$$

$$I_{OL} = \frac{V_{CC} - V_{CE,Sat}}{R_C}$$

$$P_{CC,avg} = \frac{I_{OH} + I_{OL}}{2} \times V_{CC}$$

در حالت خروجی با بار n گیت مشابه:

$$I_{OH} = \frac{V_{CC} - V_{BE,Sat}}{R_C + \frac{R_B}{n}}$$

$$I_{OL} = \frac{V_{CC} - V_{CE,Sat}}{R_C}$$

$$P_{CC,avg} = \frac{I_{OH} + I_{OL}}{2} \times V_{CC}$$

مثال:

در مدار گیت NAND دو ورودی DTL شکل زیر، با فرض این که هر دو ورودی در سطح بالا باشند الف: جریان بیس و جریان کلکتور ترانزیستور را به دست آورید.
 ب: اشباع بودن ترانزیستور را بررسی کنید.

$V_X = V_{D3} + V_{D4} + V_B = 0.7 + 0.7 + 0.7 = 2.1 \text{ volt}$
 $I_{R1} = \frac{V_{CC} - V_X}{R_1} = \frac{4 - 2.1}{2} = 0.9 \text{ mA}$
 $I_{R2} = \frac{V_B - (-2)}{R_2} = \frac{0.7 - (-2)}{5} = 0.54 \text{ mA}$
 $\Rightarrow I_B = I_{R1} - I_{R2} = 0.95 - 0.54 = 0.41 \text{ mA}$

ب فرض اشباع بودن ترانزیستور

$I_C = \frac{V_{CC} - V_{CE,Sat}}{R_C} = \frac{4 - 0.2}{4} = 0.9 \text{ mA}$
 $\frac{I_C}{I_B} = \frac{0.95}{0.41} = 2.3 < \beta \Rightarrow$ فرض اشباع بودن ترانزیستور صحیح است.

مثال:

برای گیت RTL با پارامترهای داده شده، توان مصرفی را برای هر یک از حالت های زیر محاسبه کنید.
 الف: بدون بار
 ب: با یک بار خروجی

$V_{CC} = 5V$
 $R_B = 10k$
 $R_C = 1k$
 $\beta_F = 25$
 $V_{BE,sat} = 0.8V$
 $V_{CE,sat} = 0.2$

حل الف:

$$I_{OH} = 0$$

$$I_{OL} = \frac{V_{CC} - V_{CE,Sat}}{R_C} = \frac{5 - 0.2}{1} = 4.8 \text{ mA}$$

$$P_{CC} = \frac{I_{OH} + I_{OL}}{2} \times V_{CC} = \frac{4.8}{2} \times 5 = 12 \text{ mW}$$

حل ب:

$$I_{OH} = \frac{V_{CC} - V_{BE,Sat}}{R_C + \frac{R_B}{n}} = \frac{5 - 0.8}{1 + 10} = 0.382 \text{ mA}$$

$$I_{OL} = \frac{V_{CC} - V_{CE,Sat}}{R_C} = \frac{5 - 0.2}{1} = 4.8 \text{ mA}$$

$$\Rightarrow P_{CC} = \frac{I_{OH} + I_{OL}}{2} \times V_{CC} = \frac{0.382 + 4.8}{2} \times 5 = 12.95 \text{ mW}$$

محدودیت‌های سرعت DTL:

شکل ۶-۶: مدار خروجی کیت DTL با بار خازنی

منطق DTL با این که حاشیه‌ی نوبز به نسبت خوب و ظرفیت خروجی قابل قبولی دارد ولی به نسبت کند است زیرا:

- ۱- هنگام خاموش شدن Q_3 ، بار ذخیره شده در بیس از طریق مقاومت R_B تخلیه می‌گردد. (جریان حدود 0.14 میلی آمپر است که نسبت به جریان مستقیم بیس خیلی کوچک است.)
- ۲- هنگام خاموش شدن Q_3 ، ظرفیت خازنی بار از طریق مقاومت R_C شارژ می‌گردد.

مدار پایه‌ی DTL به صورت مدار مجتمع (VLSI):

تفاوت‌های اصلی این مدار با مدار پایه‌ی DTL نامجمع:

- مقاومت R_B به زمین متصل گردیده است.
- یکی از دیودهای شیفتر ولتاژ دهنده‌ی ولتاژ با ترانزیستور Q_2 جایگزین شده است.

ترانزیستور Q_2 در این چیدمان به صورت دیود عمل می‌کند.

مصالحه‌ی اتصال مقاومت R_B به زمین:

مزیت: حذف شدن یک منبع تغذیه‌ی اضافی

ایراد: کاهش جریان تخلیه‌ی حامل‌های اضافی ذخیره شده در پیوندگاه BE

تکنولوژی TTL در سال ۱۹۶۵ ارائه شد.

مزیت‌های TTL نسبت به RTL و DTL:

- ❖ افزایش ظرفیت خروجی
- ❖ افزایش سرعت سوئیچینگ
- ❖ کاهش مساحت تراشه

خانواده‌های تکنولوژی TTL:

- خانواده‌ی ۷۴: برای کاربردهای تجاری با محدودیت‌های دمایی صفر تا ۷۰ درجه سانتی‌گراد
- خانواده‌ی ۵۴: برای کاربردهای نظامی با محدوده‌ی دمایی ۵۵- تا ۱۲۵ درجه سانتی‌گراد

مثال:

در مدار پایه‌ی DTL مجتمع شکل زیر با فرض $\beta = 50$ برای ترانزیستورها

الف: جریان ورودی را به ازای $V_1 = 0.2 \text{ volt}$ بیابید.

ب: جریان بیس Q_3 را به ازای $V_1 = 5 \text{ volt}$ بیابید.

حل الف:

$$I_D = \frac{5 - V_{BE2} - V_1}{1.6 + 2.15} = \frac{5 - 0.7 - 0.2}{1.6 + 2.15} = 1.1 \text{ mA}$$

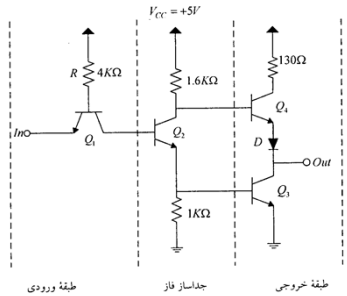
حل ب: در این شرایط، ترانزیستور Q_1 قطع است و ترانزیستور Q_2 فعال است از این رو افت ولتاژ مقاومت $2/15$ کیلو اهم قابل چشم‌پوشی است.

$$\Rightarrow I_D = \frac{5 - V_{BE2} - V_D - V_{BE3}}{1.6} = \frac{5 - 0.7 - 0.7 - 0.7}{1.6} = 1.81 \text{ mA}$$

$$I_{RB} = \frac{0.7}{5} = 0.14 \text{ mA} \Rightarrow I_{B3} = I_D - I_{RB} = 1.81 - 0.14 = 1.67 \text{ mA}$$

مدار پایه‌ی گیت TTL

مدار پایه‌ی گیت TTL شامل سه طبقه‌ی اصلی است:

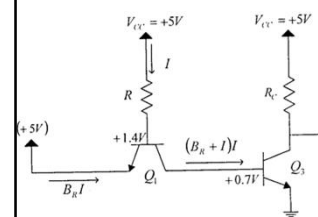


شکل ۶-۲۱: مدار کامل گیت TTL که تنها یک ورودی آن نشان داده شده است

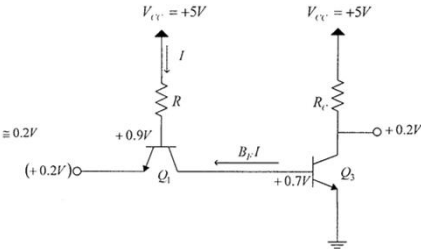
طبقه‌ی دوم دو سیگنال مکمل هم (غیرهم‌فاز) ایجاد می‌کند از این رو، «جداساز فاز» نامیده می‌شود. در مورد نقش مقاومت ۱۳۰ اهم و دیود بعداً بحث خواهیم کرد.

مدار ورودی گیت TTL

ورودی در سطح بالا:



ورودی در سطح پایین:



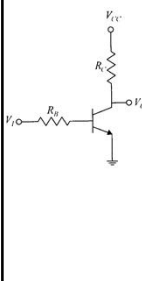
$$\beta_R \approx 0.02$$

$$I = \frac{V_{CC} - V_{BE3} - V_{BC1}}{R} = \frac{V_{CC} - 1.4}{R}$$

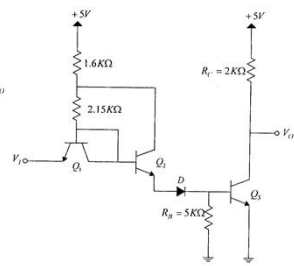
دقت کنید که هنگام خاموش شدن Q_3 ، تخلیه‌ی بار بیس از طریق ترانزیستور Q_1 و به سرعت انجام می‌گردد.

در منطق TTL برخلاف تکنولوژی‌های RTL و DTL، طبقه‌ی خروجی دارای بالابر فعال است.

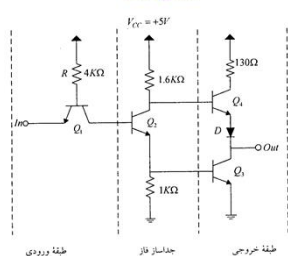
منطق RTL



منطق DTL



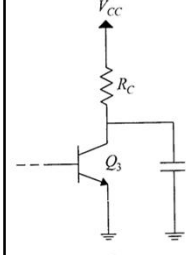
منطق TTL



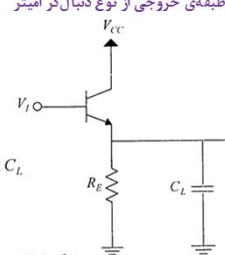
شکل ۶-۲۱: مدار کامل گیت TTL که تنها یک ورودی آن نشان داده شده است

مدار خروجی گیت TTL

طبقه‌ی خروجی از نوع امیتر مشترک

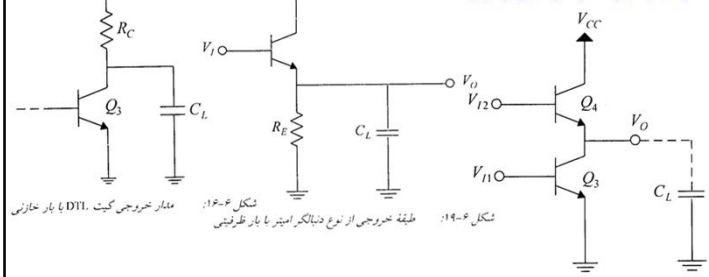


طبقه‌ی خروجی از نوع دنبال‌گر امیتر



طبقه‌ی خروجی totem-pole

(مربک از امیتر مشترک و دنبال‌گر امیتر)



شکل ۶-۱۹: طبقه‌ی خروجی از نوع دنبال‌گر امیتر با بار ظرفیتی
شکل ۶-۱۶: مدار خروجی گیت DTL با بار خازنی

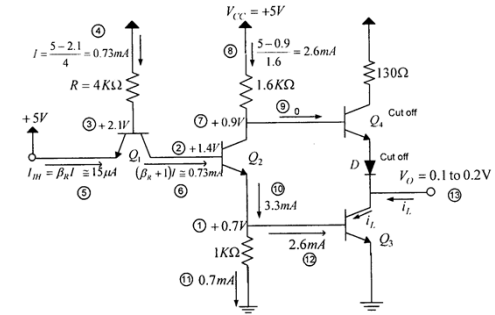
شکل ۶-۲۰: یک طبقه‌ی خروجی کامل مرکب از امیتر مشترک و دنبال‌گر امیتر

برای طبقه‌ی خروجی totem-pole، به سیگنال‌های مکمل برای ورودی‌های V_{I1} و V_{I2} نیاز است.

مشخصه‌ی انتقالی گیت TTL استاندارد:

...

تحلیل مدار پایه‌ی TTL - ورودی در سطح بالا:



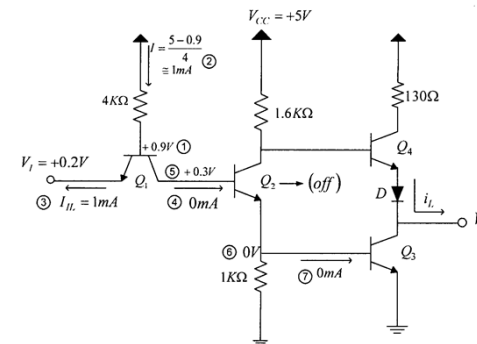
شکل ۶-۲۳: تحلیل گیت TTL در حالتی که ورودی در سطح بالا قرار دارد (منطق ۱)

با تشکر از توجه شما

اقتضای جان چو ای دل آگهی است
هر که آگه‌تر بود، جانش قوی است
«مولانا»



تحلیل مدار پایه‌ی TTL - ورودی در سطح پایین:



شکل ۶-۲۴: تحلیل گیت TTL در حالتی که ورودی پایین است