

فهرست مطالب:

- تاریخچه
- منطق دودویی
- خانواده‌ی مدارهای دیجیتال
- معکوس کننده‌ی پایه
- حاشیه‌ی امنیت نویز
- اتلاف توان
- ظرفیت ورودی و ظرفیت خروجی
- تاخیر انتشار
- حاصل ضرب تاخیر-توان

توانا بود حرکه دانابود
زدانش دل سپیر نابود

الکترونیک دیجیتال
DIGITAL ELECTRONICS

Dr. Ali Maleki <http://sun.semnan.ac.ir/~maleki>

تاریخچه:

اختراع ترانزیستور در آزمایشگاه تلفن بل	۱۹۴۷
پیدایش ترانزیستور دو قطبی و شاتکی	۱۹۴۷
ساخت اولین گیت منطقی بر اساس ترانزیستورهای دو قطبی	۱۹۵۶
عرضه خانواده‌ی گیت‌های منطقی TTL	۱۹۶۲
عرضه خانواده‌های گیت‌های منطقی ECL (با تاخیر کمتر از نانو ثانیه)	اوایل دهه‌ی ۱۹۷۰
استفاده از MOSFET برای ساخت مدارهای مجتمع	اوایل دهه‌ی ۱۹۷۰
تکنولوژی BiCMOS	⋮
تکنولوژی گالیم آرسناید	⋮



به نام یگانه ایزد بی همتا

مبحث اول:

مقدمه‌ای بر الکترونیک دیجیتال


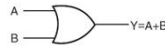
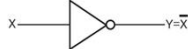
متغیرهای دودویی

متغیرهایی که معمولاً با حروف الفبا بازنمایی شده و می‌توانند ارزش صفر یا یک داشته باشند.

فهرست مطالب:

- تاریخچه
- منطق دودویی
- خانواده‌ی مدارهای دیجیتال
- معکوس‌کننده‌ی پایه
- حاشیه‌ی امنیت نویز
- اتلاف توان
- ظرفیت ورودی و ظرفیت خروجی
- تاخیر انتشار
- حاصل ضرب تاخیر-توان

عمل‌های دودویی

نماد شماتیک	چگونگی عملکرد	نماد قراردادی	عمل دودویی
		$Y=A.B$	AND
		$Y=AB$	
		$Y=A+B$	OR
		$Y=X'$	NOT

منطق دودویی

- متغیرهای دودویی
- عمل‌های دودویی
- جبر بول
- مقایسه‌ی منطق دودویی و حساب دودویی
- شیوه‌های مختلف بازنمایی طرح
- مدارهای سوئیچینگ
- محدوده‌های ولتاژی سیگنال‌های دودویی
- منطق مثبت و منطق منفی

شیوه‌های مختلف بازنمایی در منطق دودویی

عبارت منطقی

جدول درستی

شماتیک مداری

نمودار زمانی

واژه‌نامه:

Truth table	جدول درستی
Schematic	شماتیک
Timing diagram	نمودار زمانی

جبر بول

مجموعه‌ای شامل مقادیر صفر و یک به همراه عمل‌های **AND**، **OR** تشکیل جبر بول می‌دهند اگر اصول **Huntington** برای آنها برقرار باشد.

عبارت منطقی

عبارت‌تی شامل **مقادیر دودویی**، متغیرهای دودویی، عمل‌های دودویی و نمادهای گروه‌بندی

$$F(X,Y) = X \cdot Y$$

$$G(X,Y) = X + Y$$

$$H(X) = X'$$

$$K(X,Y,Z) = (1 + X \cdot Y \cdot Z) \cdot Y' + Z$$

مقایسه منطق دودویی و حساب دودویی

مقادیر صفر و یک

AND و **OR** به ترتیب متناظر با ضرب و جمع هستند.

⋮

در حساب دودویی داریم $1 + 1 = 10$ ولی در منطق دودویی داریم $1 + 1 = 1$

در حساب دودویی، توزیع پذیری جمع روی ضرب معتبر نیست.

شباهت‌ها

تفاوت‌ها

نمودار زمانی

X

Y

$F(X,Y) = X.Y$

$G(X,Y) = X+Y$

$H(X) = X'$

جدول درستی

جدولی شامل تمام ترکیب‌های ممکن از متغیرهای یک عبارت منطقی و مقدار آن عبارت به ازای هر ترکیب.

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

X	Y
0	1
1	0

مدارهای سوئیچینگ

لامپ: 0 ← خاموش

1 ← روشن

کلیدها: 0 ← کلید باز

1 ← کلید بسته

شماتیک مداری


فهرست مطالب:

- تاریخچه
- منطق دودویی
- خانواده‌های مدارهای دیجیتال
- معکوس کننده‌ی پایه
- حاشیه‌ی امنیت نویز
- اتلاف توان
- ظرفیت ورودی و ظرفیت خروجی
- تاخیر انتشار
- حاصل ضرب تاخیر-توان



خانواده مدارهای دیجیتال:

- NMOS
- CMOS
- خانواده‌های مبتنی بر CMOS
- TTL
- ECL
- خانواده‌های مبتنی بر BJT
- BiCMOS ← CMOS و BJT ترکیب
- خانواده مبتنی بر گالیم-آرسناید (GaAs)



منطق مثبت و منطق منفی


منطق مثبت:
اگر سطح ولتاژ بالا برای یک و سطح ولتاژ پایین برای صفر استفاده شود.



منطق منفی:
اگر سطح ولتاژ بالا برای صفر منطقی و سطح ولتاژ پایین برای یک منطقی استفاده شود.



فهرست مطالب:

- تاریخچه
- منطق دودویی
- خانواده‌ی مدارهای دیجیتال
- معکوس کننده‌ی پایه 
- حاشیه‌ی امنیت نویز
- اتلاف توان
- ظرفیت ورودی و ظرفیت خروجی
- تاخیر انتشار
- حاصل ضرب تاخیر-توان

معیارها و ملاحظات یک خانواده دیجیتال

- انعطاف پذیری 
- سرعت عملکرد 
- ایمنی در برابر نویز 
- گستره‌ی دمای عملکرد 
- اتلاف توان 
- هزینه 

معکوس کننده‌ی پایه

-  توصیف مفهومی
-  تفاوت‌های توصیف مفهومی و مدار عملی
-  مشخصه‌ی انتقال معکوس کننده‌ی ایده‌آل
-  مشخصه‌ی انتقال معکوس کننده‌ی واقعی



تقسیم‌بندی ICها بر مبنای مقیاس مجتمع‌سازی

- ❖ مدارهای مجتمع با مقیاس کوچک (SSI) ۱ - ۱۰ گیت
- ❖ مدارهای مجتمع با مقیاس متوسط (MSI) ۱۰ - ۱۰۰ گیت
- ❖ مدارهای مجتمع با مقیاس بزرگ (LSI) ۱۰۰ - ۱۰۰۰ گیت
- ❖ مدارهای مجتمع با مقیاس خیلی بزرگ (VLSI) بیش از ۱۰۰۰ گیت

سرنام‌ها	
SSI	Small Scale Integration
MSI	Medium Scale Integration
LSI	Large Scale Integration
VLSI	Very Large Scale Integration

مشخصه‌ی انتقال معکوس کننده ایده آل

$$V_{th} = \frac{V_{DD}}{2}$$

توصیف مفهومی

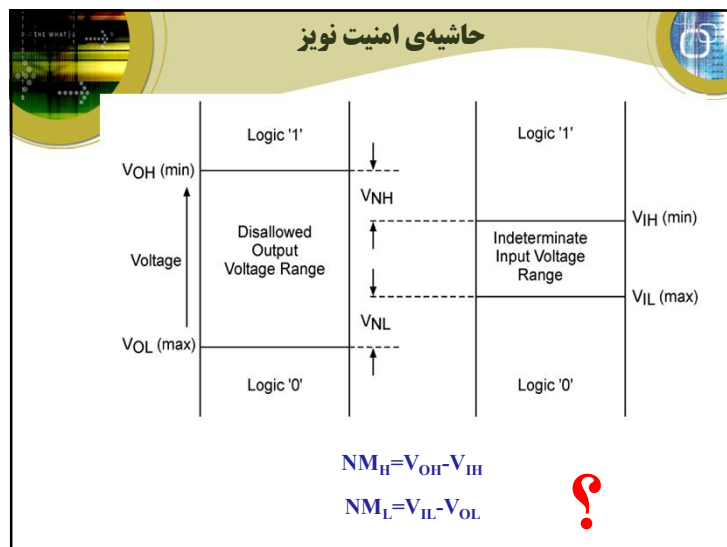
در ساخت معکوس کننده‌ی عملی معمولاً به جای کلید از یک ترانزیستور و به جای مقاومت از یک ترانزیستور دیگر استفاده می‌گردد.

مشخصه‌ی انتقال معکوس کننده‌ی واقعی

شکل (A-1) کتاب اشتباه است.

تفاوت‌های این توصیف مفهومی با مدار عملی

- ❑ جریان کشی پایه ورودی از منبع تحریک
- ❑ مقاومت حالت وصل کلید که باعث افت ولتاژ (ولتاژ آفست) می‌شود.
(ولتاژ خروجی در حالت وصل بودن کلید دیگر صفر نیست.)
- ❑ بی‌درنگ عمل نکردن معکوس کننده و وجود تاخیر بین اعمال تغییر ورودی و ظاهر شدن تغییر خروجی
- ❑ وجود زمان صعود و زمان نزول در شکل موج خروجی به دلیل ظرفیت خازنی اجتناب ناپذیر پایه‌ی خروجی
- ❑ مشخص نبودن آستانه‌ی قطع وصل معکوس کننده



مشخصه‌ی انتقال معکوس کننده‌ی واقعی

Low سطح ولتاژ ورودی برای سطح V_{IL} حداکثر ولتاژ ورودی

High سطح ولتاژ ورودی برای سطح V_{IH} حداقل ولتاژ ورودی

Low سطح خروجی در سطح V_{OL} حداکثر ولتاژ خروجی

High سطح خروجی در سطح V_{OH} حداقل ولتاژ خروجی

- ### فهرست مطالب:
- تاریخچه
 - منطق دودویی
 - خانواده‌ی مدارهای دیجیتال
 - معکوس کننده‌ی پایه
 - حاشیه‌ی امنیت نویز
 - اتلاف توان ←
 - ظرفیت ورودی و ظرفیت خروجی
 - تاخیر انتشار
 - حاصل ضرب تاخیر-توان

- ### فهرست مطالب:
- تاریخچه
 - منطق دودویی
 - خانواده‌ی مدارهای دیجیتال
 - معکوس کننده‌ی پایه
 - حاشیه‌ی امنیت نویز ←
 - اتلاف توان
 - ظرفیت ورودی و ظرفیت خروجی
 - تاخیر انتشار
 - حاصل ضرب تاخیر-توان

مثال:

انرژی ذخیره شده در خازن $= \frac{1}{2} C_L V_{DD}^2$

→ انرژی تلف شده در مقاومت $= \frac{1}{2} C_L V_{DD}^2$

توان تلفاتی استاتیک سطح Low خروجی $= \frac{V_{DD}^2}{R_L}$

انرژی ذخیره شدن در خازن هنگام تغییر وضعیت از یک به صفر در مقاومت تلف می‌شود.

انرژی تلفاتی کل $= \frac{1}{2} C_L V_{DD}^2 + \frac{1}{2} C_L V_{DD}^2 = C_L V_{DD}^2$

→ توان تلفاتی دینامیک $= f C_L V_{DD}^2$

توان تلفاتی

توان ایستا
توان پویا

انواع توان تلفاتی

توان ایستا: توان تلف شده در مدار وقتی تغییر وضعیتی رخ نمی‌دهد.

توان پویا: توان تلف شده در مدار هنگام تغییر وضعیت مدار

فهرست مطالب:

- تاریخچه
- منطق دودویی
- خانواده‌ی مدارهای دیجیتال
- معکوس کننده‌ی پایه
- حاشیه‌ی امنیت نویز
- اتلاف توان
- ظرفیت ورودی و ظرفیت خروجی
- تاخیر انتشار
- حاصل ضرب تاخیر-توان

مثال:

برای مدار معکوس کننده‌ی شکل زیر، توان تلفاتی استاتیک و توان تلفاتی دینامیک هنگام کلیدزنی با فرکانس F و با بار خازنی C_L را محاسبه نمایید.

$= 0$ توان تلفاتی استاتیک سطح High خروجی

$= \frac{(V_{DD})^2}{R_L}$ توان تلفاتی استاتیک سطح Low خروجی

با فرض یکنواخت بودن دوره‌های **low** و **high**:

توان استاتیک میانگین $= \frac{(V_{DD})^2}{2R_L}$

?

$\int V_{DD} i dt = V_{DD} \int i dt = V_{DD} \int dQ = V_{DD} Q = C_L (V_{DD})^2$

مثال:

جریان‌های خروجی و ورودی گیتی در سطوح **high** و **low** داده شده است. ظرفیت خروجی گیت را تعیین نمایید.

$I_{out}(low) = 54.3 \text{ mA}$ $I_{out}(High) = 71.4 \text{ mA}$
 $I_{IN}(low) = 2.43 \text{ mA}$ $I_{IN}(High) = 98.9 \mu A$

$$N_{High} = \frac{I_{out}(high)}{I_{in}(high)} = \frac{71.4 \text{ mA}}{98.9 \mu A} = 721$$

$$N_{Low} = \frac{I_{out}(Low)}{I_{in}(Low)} = \frac{54.3 \text{ mA}}{2.43 \text{ mA}} = 22$$

$Fan_out = \min(N_{High}, N_{Low})$
 $= \min(721, 22) = 22$

ظرفیت ورودی و ظرفیت خروجی

تاخیر انتشار

پویا بودن عناصر مدار نظیر ترانزیستورهای دو قطبی

عوامل

ظرفیت بار خروجی گیت

t_{PHL} : مدت زمان انتشار سیگنال از ورودی به خروجی در گذار خروجی از **High** به **Low**
 t_{PLH} : مدت زمان انتشار سیگنال از ورودی گیت به خروجی آن در گذار خروجی از **Low** به **High**

$$t_p = \frac{1}{2}(t_{PHL} + t_{PLH})$$

t_{THL} : مدت زمان گذار خروجی از **High** به **Low** (از ۹۰٪ به ۱۰٪)
 t_{TLH} : مدت زمان گذار خروجی از **Low** به **High** (از ۱۰٪ به ۹۰٪)

زمان صعود (T_p): مدت زمان گذار ورودی از **Low** به **High** (از ۱۰٪ به ۹۰٪)
 زمان صعود (T_p): مدت زمان گذار ورودی از **High** به **Low** (از ۹۰٪ به ۱۰٪)

ظرفیت ورودی و ظرفیت خروجی

واژه نامه:

Fan-in	ظرفیت ورودی
Fan-out	ظرفیت خروجی

ظرفیت ورودی: تعداد ورودی‌های گیت

ظرفیت خروجی: حداکثر تعداد گیت‌های مشابهی است که یک گیت می‌تواند راه‌اندازی کند.

$$N_{High} = \frac{I_{out}(high)}{I_{in}(low)}$$

$$N_{low} = \frac{I_{out}(low)}{I_{in}(low)}$$

$$Fan_out = \min(N_{High}, N_{low})$$

شکل موج سیگنال‌ها در حالت واقعی

فهرست مطالب:

- تاریخچه
- منطق دودویی
- خانواده‌ی مدارهای دیجیتال
- معکوس کننده‌ی پایه
- حاشیه‌ی امنیت نویز
- اتلاف توان
- ظرفیت ورودی و ظرفیت خروجی
- تاخیر انتشار
- حاصل ضرب تاخیر-توان

فهرست مطالب:


- تاریخچه
- منطق دودویی
- خانواده‌ی مدارهای دیجیتال
- معکوس کننده‌ی پایه
- حاشیه‌ی امنیت نویز
- اتلاف توان
- ظرفیت ورودی و ظرفیت خروجی
- تاخیر انتشار
- حاصل ضرب تاخیر-توان

تاخیر انتشار

واژه‌نامه:

propagation delay	تاخیر انتشار
Transition time	زمان گذار
Propagation time	زمان انتشار

با تشکر از توجه شما



اقتضای جان چو ای دل آگهی است
هر که آگه تر بود، جانش قوی است

«مولانا»

حاصل ضرب تاخیر - توان

شرایط مطلوب برای یک گیت

- سرعت بالا
- توان تلفاتی اندک

متأسفانه این دو شرایط در تناقض با هم هستند به نحوی که کاهش توان تلفاتی، سرعت کاهش می‌یابد.

$DP = t_p \cdot P_D$ حاصل ضرب تاخیر-توان

زمان انتشار

توان تلفاتی



هر چه DP کمتر باشد مطلوب تر است.

واژه نامه:

Delay-power product	حاصل ضرب تاخیر-توان
---------------------	---------------------

فهرست مطالب:

- ✓ تاریخچه
- ✓ منطق دودویی
- ✓ خانواده‌ی مدارهای دیجیتال
- ✓ معکوس کننده‌ی پایه
- ✓ حاشیه‌ی امنیت نویز
- ✓ اتلاف توان
- ✓ ظرفیت ورودی و ظرفیت خروجی
- ✓ تاخیر انتشار
- ✓ حاصل ضرب تاخیر-توان